

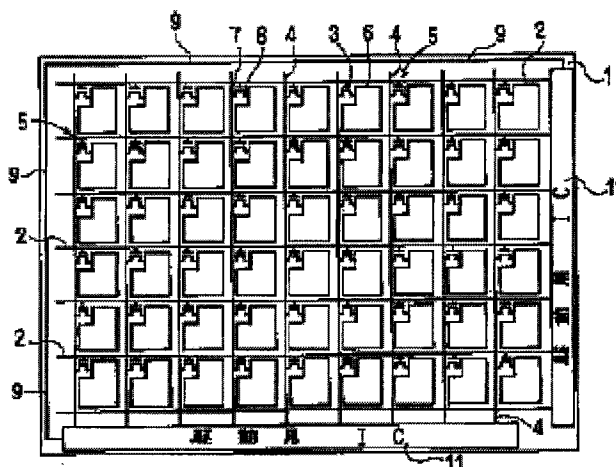
**No title available**

**Patent number:** JP5232511  
**Publication date:** 1993-09-10  
**Inventor:** SATO MAKOTO; OZAKI MASAOKI  
**Applicant:** NIPPON DENSO CO  
**Classification:**  
 - international: **G02F1/133; G02F1/136; G02F1/1368; G09F9/30; G09G3/36; H01L27/12; H01L29/78; H01L29/786; G02F1/13; G09F9/30; G09G3/36; H01L27/12; H01L29/66; (IPC1-7): G02F1/136; G02F1/133; G09F9/30; G09G3/36; H01L27/12; H01L29/784**  
 - european:  
**Application number:** JP19920037520 19920225  
**Priority number(s):** JP19920037520 19920225

**Report a data error here**

**Abstract of JP5232511**

**PURPOSE:**To provide the manufacture of the active matrix type liquid crystal display device which excellently protects its internal TFTs against static electricity and effectively prevents their dielectric breakdown and characteristic deterioration. **CONSTITUTION:**A short-circuit line 9 which short-circuits scanning wirings 2 and signal wirings 4 is arranged on the edge part of one glass substrate 1. Liquid crystal is charged between an array substrate 10 and an opposite substrate and then the peripheral edge part of the glass substrate is cut into a specific product shape so that the short circuit line 9 is left. Then driving ICs 11 are mounted on the edge parts of the glass substrate 1 and after the scanning wirings 2 and signal wirings 4 are connected to the driving ICs 11, the connection places of the short-circuit line 9, and the scanning wirings 2 and signal wirings 4 are disconnected.



Data supplied from the **esp@cenet** database - Worldwide



(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
	1/133	5 5 0	7820-2K	
G 0 9 F 9/30	3 3 8	6447-5G		
G 0 9 G 3/36		7319-5G		
		9056-4M		
		H 0 1 L 29/ 78	3 1 1 A	
審査請求 未請求 請求項の数 2(全 7 頁) 最終頁に続く				

(21)出願番号 特願平4-37520

(22)出願日 平成4年(1992)2月25日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 佐藤 良

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 尾崎 正明

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

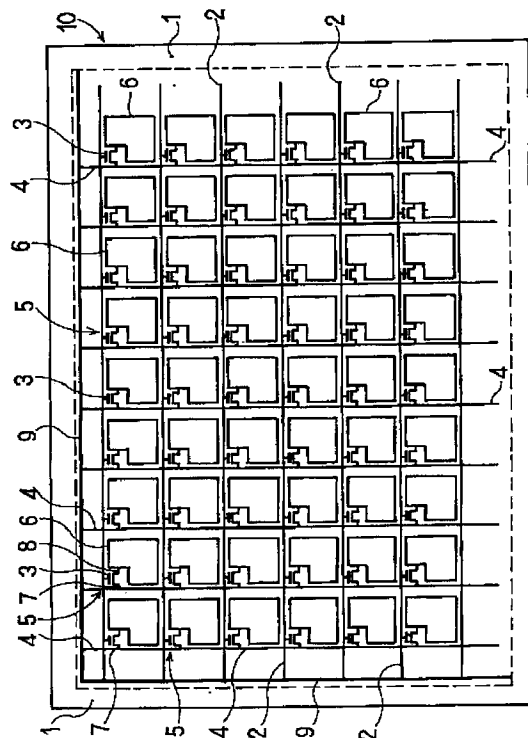
(74)代理人 弁理士 飯田 堅太郎

(54)【発明の名称】 アクティブマトリックス型液晶表示装置の製造方法

(57)【要約】

【目的】 内蔵されたTFTを静電気から良好に保護し、その絶縁破壊や特性劣化を効果的に防止し得るアクティブマトリックス型液晶表示装置の製造方法を提供する。

【構成】 一方のガラス基板1の縁部上に走査配線2と信号配線4とを短絡させる短絡線9が配設される。アレイ基板10と対向基板間に液晶を封入した後、ガラス基板の周縁部を所定の製品形状に短絡線9を残した状態で切断する。その後、ガラス基板1の縁部上に駆動用IC11を実装し、走査配線2及び信号配線4を駆動用IC11に接続した後、短絡線9と走査配線2及び信号配線4との接続箇所を切り離す。



#### 【特許請求の範囲】

【請求項1】 一方のガラス基板上に走査配線と信号配線がマトリックス状に配設され、各配線の交差位置に薄膜トランジスタを接続してアレイ基板が形成され、他方のガラス基板上に共通電極を形成した対向基板が形成され、アレイ基板と対向基板の上面に配向膜を形成し、間隙において平行に貼り合わせた該アレイ基板と該対向基板間に液晶を封入してなるアクティブマトリックス型液晶表示装置の製造方法において、前記一方のガラス基板の縁部上に前記走査配線と前記信号配線とを短絡させる短絡線が配設され、前記アレイ基板と対向基板間に液晶を封入した後、前記ガラス基板の周縁部を所定の製品形状に該短絡線を残した状態で切断し、該ガラス基板の縁部上に駆動用集積回路を実装し、前記走査配線及び信号配線を該駆動用集積回路に接続した後、該短絡線と走査配線及び該信号配線との接続箇所を切り離すことを特徴とするアクティブマトリックス型液晶表示装置の製造方法。

【請求項2】 一方のガラス基板上に走査配線と信号配線がマトリックス状に配設され、各配線の交差位置に薄膜トランジスタを接続してアレイ基板が形成され、他方のガラス基板上に共通電極を形成した対向基板が形成され、アレイ基板と対向基板の上面に配向膜を形成し、間隙において平行に貼り合わせた該アレイ基板と該対向基板間に液晶を封入してなるアクティブマトリックス型液晶表示装置の製造方法において、前記一方のガラス基板の縁部上に各走査配線と各信号配線に対応して多数の保護用薄膜トランジスタを配設し、該保護用薄膜トランジスタの各ドレイン電極を短絡させるドレイン短絡線を該ガラス基板の縁部に沿って配設し、該保護用薄膜トランジスタの各ゲート電極を短絡させるゲート短絡線を該ガラス基板の縁部に沿って配設し、その後の製造工程中、該ドレイン短絡線を接地し、該ゲート短絡線に一定電圧を印加して該保護用薄膜トランジスタを導通状態とすることを特徴とするアクティブマトリックス型液晶表示装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ（以下TFTと略称する）を各画素毎に設置してスイッチング動作させ、画像を表示するアクティブマトリックス型液晶表示装置の製造方法に関する。

##### 【0002】

【従来の技術】この種のアクティブマトリックス型液晶表示装置は、基本的には、一方のガラス基板上に走査配線と信号配線がマトリックス状に配設され、それらの交差位置にTFT及び画素電極を設けてアレイ基板が形成され、他方のガラス基板上に共通電極を形成した対向基板が形成され、アレイ基板と対向基板の上面に配向膜を形成し、間隙において平行に貼り合わせたアレイ基板と

対向基板間に液晶を封入して形成される。

【0003】このような液晶表示装置の製造工程では、一般に、製造室内の空気流、作業者の衣服の摩擦、或は配向膜のラビング処理などによって、多くの静電気が発生する。液晶表示装置に内蔵されるTFTはこの種の静電気に対し非常に弱く、特に多量の静電気が発生しその電荷が走査配線や信号配線に印加された場合、各走査配線や信号配線間等で高電圧が発生し、そこに接続されたTFT内部で絶縁破壊が発生し、TFTの特性が部分的に或は全面的に劣化する問題が生じる。

【0004】そこで、従来では、アレイ基板の製造時に、基板の周縁部上に短絡線を配設し、その短絡線に全ての走査配線と信号配線を接続し、配向膜のラビング処理時などに発生する静電気を短絡線を通して流し、TFTを保護するようにしていた。

【0005】しかし、このようなアレイ基板の製造時に、走査配線と信号配線を短絡線に接続した状態では、製造工程中におけるTFTなどの断線ショート検査、プローブ検査等が行なえないため、ラビング処理の後、或はアレイ基板と対向基板を貼り合せて液晶を封入して液晶パネルを形成した後、各走査配線と信号配線を短絡線から切り離していた。

【0006】このため、各走査配線と信号配線を短絡線から切り離した後、駆動用ICを各走査配線と信号配線に接続するまでの間、TFTは静電気から保護されない状態となり、この間の製造工程中における製品の運搬時や人体との接触により、静電気が発生した場合、上記のようなTFTの絶縁破壊や特性劣化が発生する問題があった。

##### 【0007】

【発明が解決しようとする課題】そこで、製造時における液晶パネル内のTFTの特性劣化や絶縁破壊を防止するために、従来では、アレイ基板の全面を絶縁膜により被覆してTFTを保護する技術（特開昭64-32234号公報）、アレイ基板の周縁部に模擬電極を配設し、その模擬電極に静電気の電荷を集めるようにして、内側のTFTを保護する技術（特開昭64-59320号公報、特開昭64-59321号公報）など各種の静電気対策が提案されている。

【0008】しかし、これら何れの技術においても、TFTの静電気からの保護において、十分な効果をあげることができず、依然として製品の歩留りを低下させる原因となっていた。

【0009】本発明は、上記の課題を解決するためになされたもので、内蔵されたTFTを静電気から良好に保護し、その絶縁破壊や特性劣化を効果的に防止し得るアクティブマトリックス型液晶表示装置の製造方法を提供することを目的とする。

##### 【0010】

【課題を解決するための手段】このために、第一発明の

製造方法は、一方のガラス基板上に走査配線と信号配線がマトリックス状に配設され、各配線の交差位置に薄膜トランジスタを接続してアレイ基板が形成され、他方のガラス基板上に共通電極を形成した対向基板が形成され、アレイ基板と対向基板の上面に配向膜を形成し、間隙において平行に貼り合わせたアレイ基板と対向基板間に液晶を封入してなるアクティブマトリックス型液晶表示装置の製造方法において、一方のガラス基板の縁部上に走査配線と信号配線とを短絡させる短絡線が配設され、アレイ基板と対向基板間に液晶を封入した後、ガラス基板の周縁部を所定の製品形状に短絡線を残した状態で切断し、ガラス基板の縁部上に駆動用集積回路を実装し、走査配線及び信号配線を駆動用集積回路に接続した後、短絡線と走査配線及び信号配線との接続箇所を切り離すように構成される。

【0011】第二発明の製造方法は、一方のガラス基板上に走査配線と信号配線がマトリックス状に配設され、各配線の交差位置に薄膜トランジスタを接続してアレイ基板が形成され、他方のガラス基板上に共通電極を形成した対向基板が形成され、アレイ基板と対向基板の上面に配向膜を形成し、間隙において平行に貼り合わせた該アレイ基板と対向基板間に液晶を封入してなるアクティブマトリックス型液晶表示装置の製造方法において、一方のガラス基板の縁部上に各走査配線と各信号配線に対応して多数の保護用薄膜トランジスタを配設し、保護用薄膜トランジスタの各ドレイン電極を短絡させるドレイン短絡線をガラス基板の縁部に沿って配設し、保護用薄膜トランジスタの各ゲート電極を短絡させるゲート短絡線をガラス基板の縁部に沿って配設し、その後の製造工程中、ドレイン短絡線を接地し、ゲート短絡線に一定電圧を印加して保護用薄膜トランジスタを導通状態とするように構成される。

#### 【0012】

【作用・効果】第一発明の製造方法では、アクティブマトリックス型液晶表示装置の製造時、ラビング処理や液晶封入などの工程中、及びその後、ガラス基板の周縁部を製品形状に切断する工程などを含む各走査配線と各信号配線が駆動用ICに接続されるまで、各走査配線と各信号配線は短絡線により短絡される。このため、そこに接続された各TFTのソース電極及びゲート電極は短絡されて同電位となり、静電気による電荷が各走査配線や信号配線に注入された場合でも、TFTのソース電極とゲート電極間に高電圧がかかることはなく、静電気によって破壊されやすいソース・ゲート間の絶縁層は確実に保護される。

【0013】また、ガラス基板の縁部上に駆動用ICを実装して走査配線及び信号配線に接続した後、短絡線と走査配線及び信号配線との接続箇所を切り離すため、従来のように、短絡線と走査配線及び信号配線が切り離されることによって、走査配線と信号配線が開放された状

態となることなく、つまり短絡線の切り離し後、駆動用ICが走査配線と信号配線に接続されるまでの配線が開放されている期間がなくなり、製造工程全体にわたって、TFTを静電気から効果的に保護することができる。

【0014】第二発明の製造方法では、アレイ基板の製造工程中、ガラス基板の縁部上に各走査配線と各信号配線に対応して多数の保護用薄膜トランジスタを配設し、保護用薄膜トランジスタの各ドレイン電極を短絡させるドレイン短絡線をガラス基板の縁部に沿って配設し、保護用薄膜トランジスタの各ゲート電極を短絡させるゲート短絡線をガラス基板の縁部に沿って配設する。そして、その後のラビング処理や液晶封入などの工程中、ドレイン短絡線を接地し、ゲート短絡線に一定電圧を印加して保護用薄膜トランジスタを導通状態とする。

【0015】このため、各走査配線と各信号配線は、製造工程中、常時、保護用TFTとドレイン短絡線を介して接地された状態となり、各TFTのソース電極及びゲート電極が短絡されて同電位となるため、静電気による電荷が各走査配線や信号配線に注入された場合でも、TFTのソース電極とゲート電極間に高電圧がかかることはなく、静電気によって破壊されやすいソース・ゲート間の絶縁層は確実に保護される。

#### 【0016】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0017】図1～図3は、上記第一発明の実施例を示し、図1はアクティブマトリックス型液晶表示装置の製造時におけるアレイ基板10の概略平面図を示している。

【0018】アレイ基板10を製造する場合、先ず、ガラス基板1上に多数の走査配線2を一定の間隔において平行に形成すると共に、多数のTFT5を配置する各々の位置に、そのゲート電極3を各走査配線2に接続して形成する。この走査配線2及びゲート電極3は、クロム等の金属を用いて、スパッタリング法及びホトリソグラフィ法等により形成される。

【0019】また、このとき、ガラス基板の縁部、例えば図1の上縁部と左縁部に、L字状の短絡線9がクロム等の金属を用いて形成され、前記各走査配線2の左端部がその短絡線9に接続される。

【0020】次に、各TFT5のゲート電極3上にゲート絶縁膜を形成し、ゲート絶縁膜の上に活性層とドーピング層を島状に形成する。

【0021】次に、ゲート絶縁膜の上に、ITO等の金属を用いて画素電極6を、スパッタリング法及びホトリソグラフィ法により形成する。そして、モリブデン、アルミニウム等の金属を用いて、多数の信号配線4を前記走査配線2と直交する方向に一定間隔において平行に形成し、さらに、同様の金属及び同方法を用いて、各T

FT5のソース電極7を各信号配線4に接続して形成し、且つドレイン電極8を画素電極6に接続して形成する。これらの信号配線4は、図1に示すように、その上端が上縁位置に配設された前記短絡線9に接続される。

【0022】このようにして、ガラス基板1上に走査配線2と信号配線4がマトリックス状に形成され、それらの交差位置にFT5が配置されてアレイ基板10が製造される。

【0023】一方、アレイ基板10と対向して配設される対向基板（図示せず）は、別のガラス基板上に、ITO等からなる共通電極を形成して製造される。

【0024】そして、アレイ基板10と対向基板の表面（内側）にポリイミド等からなる配向膜を形成し、焼成した後、配向膜の表面にはラビング処理が施される。このラビングを行う際、空気やパイル等の摩擦により非常に多くの静電気が発生する。しかし、アレイ基板10における各走査配線2と各信号配線4は、短絡線9によって短絡されているため、そこに接続された各FT5のソース電極7及びゲート電極3は短絡されて同電位となり、静電気による電荷が各走査配線2や信号配線4に注入された場合でも、ソース電極7とゲート電極3間に高電圧がかかることはなく、静電気によって破壊されやすいソース・ゲート間の絶縁層は確実に保護される。

【0025】次に、アレイ基板10と対向基板を平行に、その配向膜を対向させて一定の間隔をおいて重ね合せ、周囲をシール材（接着剤）で注入口となる部分を残してシールし、焼成した後、その注入口から基板の内部に液晶を注入し、そして、注入口を封止する。

【0026】その後、アレイ基板10及び対向基板のガラス基板の周縁部が、製品形状となるように所定寸法だけ切断されるが、このとき、図2のように、短絡線9はガラス基板1上に残して縁部が切断される。したがって、各走査配線2と信号配線4が短絡線9によって短絡された状態は、その後も継続され、製造工程中における作業者との接触や運搬動作等によって静電気が帯電した場合にも、FT5のソース電極7及びゲート電極3は短絡されて、同電位となり、上記と同様にFT5を保護することができる。

【0027】なお、上記では、各走査配線2と各信号配線4を、1本の短絡線9によって短絡接続しているが、各走査配線2に接続した短絡線（図の垂直部分）と各信号配線4に接続した短絡線（水平部分）を切り離し、その間に高抵抗を接続すれば、FT5を静電気から保護しながら、その短絡線を利用してFT5の性能を検査することができる。

【0028】この液晶表示装置は、駆動用ICがガラス基板1上に直接実装される所謂COG型であり、図2に示すように、ガラス基板1の右縁部と下縁部にその駆動用ICを実装するためのスペースが形成されている。

【0029】そこで、駆動用IC11は、図3に示すよ

うに、ガラス基板1の右縁部と下縁部のスペースに、その各端子を走査配線2及び信号配線4の延長部分に接続するように、実装される。また、短絡線9は駆動用IC11のGND端子に接続される。

【0030】そして、駆動用IC11を実装した後、図3に示すように、各走査配線2、各信号配線4と短絡線9との接続部分がレーザカッター等により切り離される。

【0031】このように、ガラス基板1の縁部に駆動用IC11を実装して走査配線2及び信号配線4に接続した後、短絡線9と走査配線2及び信号配線4との接続箇所を切り離すため、従来のように、ガラス基板の縁部の切断と共に短絡線が切除される等によって、走査配線と信号配線が開放された状態となることがなく、製造工程全体にわたって、FT5を静電気から効果的に保護することができる。

【0032】また、短絡線9は駆動用IC11のGND端子に接続された状態で製品となるため、液晶表示装置の縁部にアース接続された導線が配設され、製品の静電気保護に役立てることができる。

【0033】図4は上記第二発明の実施例であり、製造時におけるアレイ基板20の概略平面図を示している。

【0034】このアレイ基板20を製造する場合、先ず、ガラス基板21上に多数の走査配線22を一定の間隔をおいて形成すると共に、多数のFT25を配置する各々の位置に、そのゲート電極23を各走査配線22に接続して形成する。この走査配線22及びゲート電極23は、クロム等の金属を用いて、スパッタリング法及びホトリソグラフィ法等により形成される。

【0035】同時に、ガラス基板21の縁部、例えば図4の上縁部と右縁部に、ゲート短絡線29をクロム等の金属で形成し、後述の保護用FT30のゲート電極33をそのゲート短絡線29に接続して形成する。これらの保護用FT30は、ガラス基板20の上縁部と右縁部に沿って、各走査配線22及び後述の信号配線24に対応して配設される。

【0036】次に、各FT25のゲート電極23及び各保護用FT30のゲート電極33上に、ゲート絶縁膜を形成し、ゲート絶縁膜の上に活性層とドーピング層を島状に形成する。

【0037】次に、ゲート絶縁膜の上に、ITO等の金属を用いて画素電極26を、スパッタリング法及びホトリソグラフィ法により形成し、同時に、ガラス基板1の上縁部と右縁部に沿って、ドレイン短絡線39を同金属、同方法により形成する。

【0038】次に、モリブデン、アルミニウム等の金属を用いて、多数の信号配線24を前記走査配線22と直交する方向に一定間隔をおいて同様な方法で形成する。

【0039】そして、同様の金属、同様な方法により、各FT25のソース電極27を各信号配線24に接続

して形成し、且つドレイン電極28を画素電極26に接続して形成し、同時に、各保護用TFT30のドレイン電極38をドレイン短絡線39に接続して形成し、さらに各保護用TFT30のソース電極37を各信号配線24に接続して形成する。

【0040】なお、保護用TFT30はTFT25の形成と同時にガラス基板21上に形成されるため、図4の右縁部に配置される保護用TFT30は、上縁部に配置される保護用TFT30を逆スタガード型とした場合、ゲート側とソース・ドレイン側をその逆に形成したスタガード型とすればよい。

【0041】このようにして、ガラス基板21上に走査配線22と信号配線24がマトリックス状に形成され、それらの交差位置にTFT25が配置され、同時に保護用TFT30が縁部に配設されてアレイ基板20が製造される。

【0042】アレイ基板20が上記のように製造されると、図4に示すように、ドレイン短絡線39は接地され、ゲート短絡線29には電池等を用いた直流定電源回路から一定電圧が印加され、これにより、各保護用TFT30のゲート電極33にオン動作の電圧が印加され、各保護用TFT30は導通状態とされる。

【0043】一方、アレイ基板20と対向して配設される対向基板（図示せず）は、別のガラス基板上に、ITO等からなる共通電極を形成して製造される。

【0044】そして、アレイ基板20と対向基板の表面（内側）にポリイミド等からなる配向膜を形成し、焼成した後、配向膜の表面にはラビング処理が施される。このラビングを行う際、空気やパイル等の摩擦により非常に多くの静電気が発生する。

【0045】しかし、アレイ基板20における各走査配線22と各信号配線24は、保護用TFT30とドレイン短絡線39を通して接地されているため、そこに接続された各TFT25のソース電極27及びゲート電極23は同電位となり、静電気による電荷が各走査配線22

や信号配線24に注入された場合でも、ソース電極27とゲート電極23間に高電圧がかかることはなく、静電気によって破壊されやすいソース・ゲート間の絶縁層は確実に保護される。

【0046】その後、アレイ基板20は、図示しない対向基板と一定の間隔をおいて重ね合せられ、周囲をシール材（接着剤）でシールして、その内部に液晶が封入され、ガラス基板の縁部を製品形状に切断する等の各種の工程を経て液晶表示装置が製造されるが、図示しない駆動用ICが基板上に実装され各走査配線22及び信号配線24に接続されるまで、保護用TFT30は導通状態とされる。

【0047】このため、各走査配線22と信号配線24がドレイン短絡線39によって短絡された状態は、その後の製造工程でも継続され、製造工程中における作業等との接触や運搬動作等によって静電気が帯電した場合にも、TFT25のソース電極27及びゲート電極23は短絡されて、同電位となり、TFT25を保護することができる。

【図面の簡単な説明】

【図1】第一発明の一実施例であって、アクティブマトリックス型液晶表示装置の製造時におけるアレイ基板10の概略平面図である。

【図2】製品形状に切断された状態の概略平面図である。

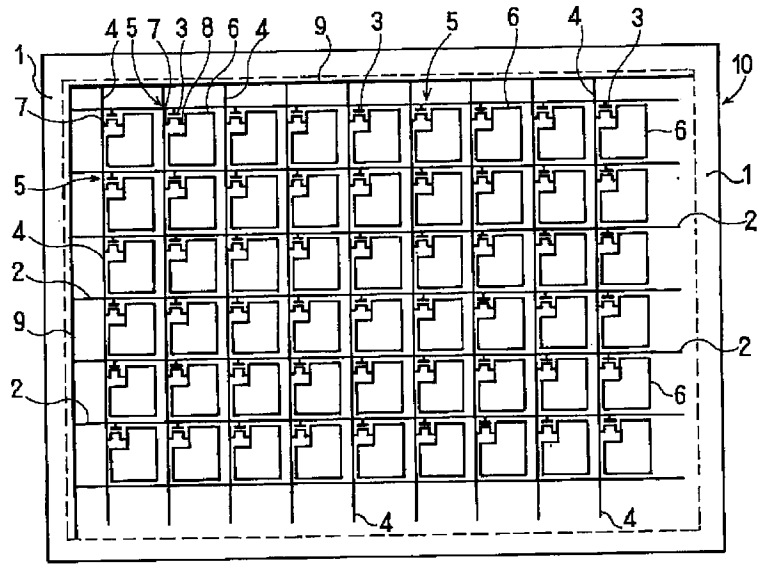
【図3】駆動用ICを実装した状態の概略平面図である。

【図4】第二発明の一実施例であって、アクティブマトリックス型液晶表示装置の製造時におけるアレイ基板10の概略部分平面図である。

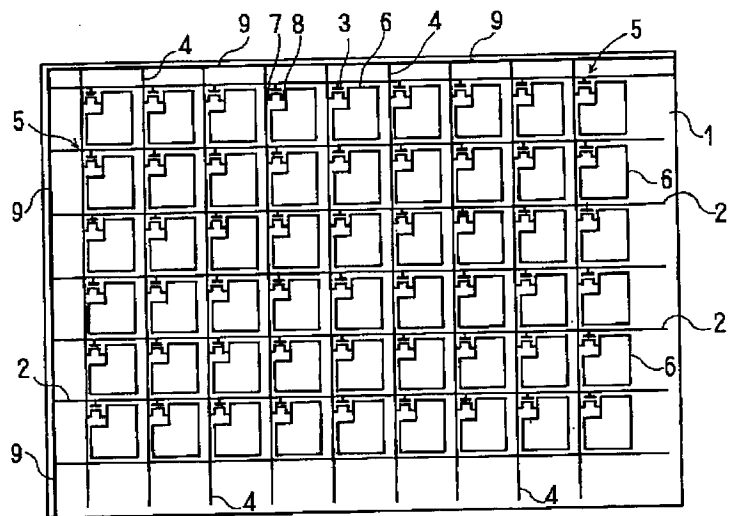
【符号の説明】

1－ガラス基板、2－走査配線、4－信号配線、5－TFT、9－短絡線、10－アレイ基板、11－駆動用IC、29－ゲート短絡線、30－保護用TFT、39－ドレイン短絡線。

【図1】

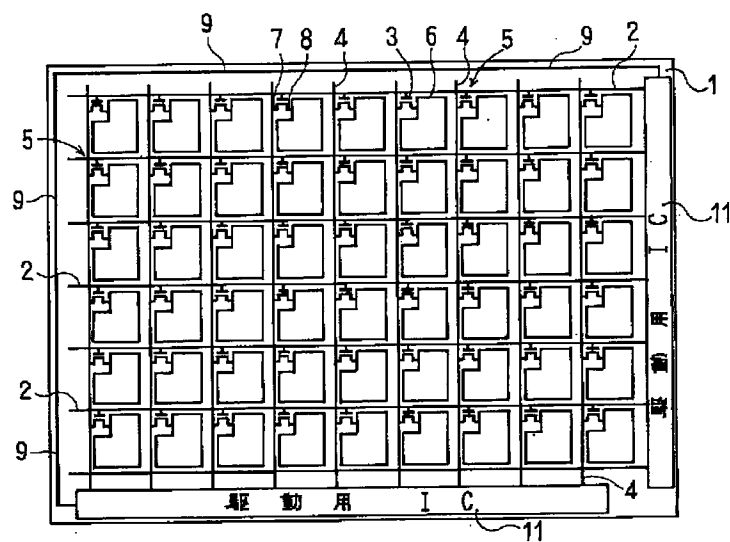


【図2】

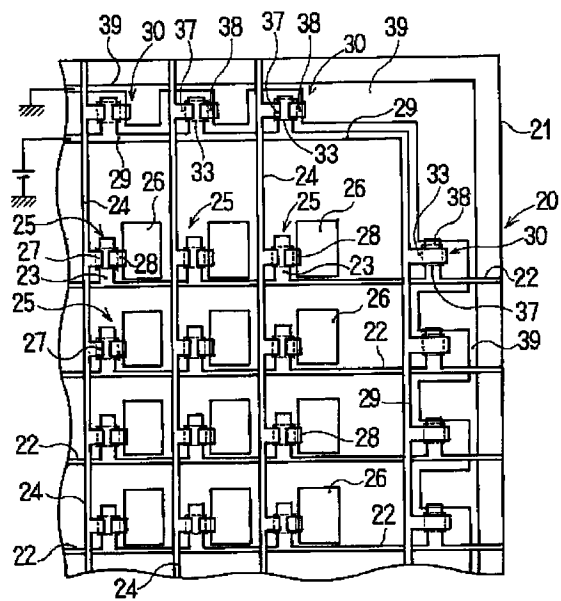




【図 3】



【図4】



フロントページの続き

(51) Int. Cl. <sup>5</sup>

H O 1 L 27/12

29/784

識別記号 庁内整理番号

A 8728-4M

F I

### 技術表示箇所